

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/32		4237-5H	G 0 9 G 3/32	
G 0 9 F 9/33			G 0 9 F 9/33	M
G 0 9 G 3/20		4237-5H	G 0 9 G 3/20	J

審査請求 未請求 請求項の数 3 F D (全 11 頁)

(21) 出願番号 特願平9-148531

(22) 出願日 平成9年(1997) 5月22日

(31) 優先権主張番号 08/652, 075

(32) 優先日 1996年5月23日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72) 発明者 ロン・ティン・ファン

アメリカ合衆国アリゾナ州85233、ギルバ
ート、ウエスト・チルトン・アベニュー
1302

(74) 代理人 弁理士 池内 義明

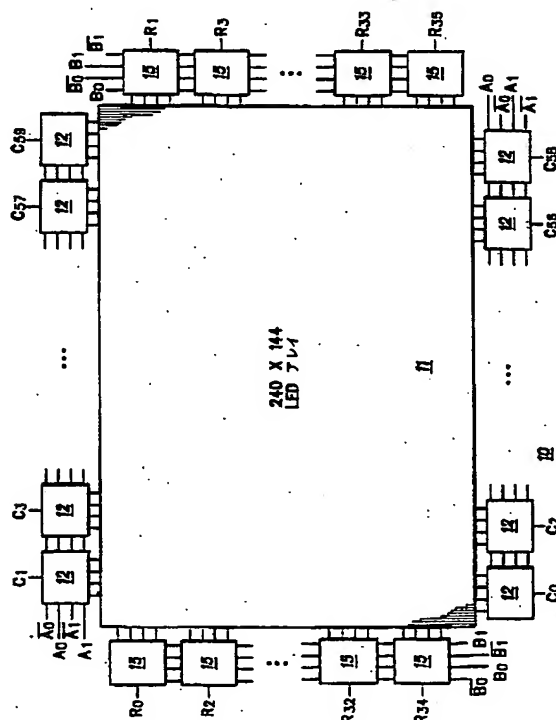
最終頁に続く

(54) 【発明の名称】 モノリシック集積LEDアレイを走査するための駆動装置および方法

(57) 【要約】

【課題】 表示装置のデータドライバおよび入出力端子の数を低減しかつ回路構成を簡略化する。

【解決手段】 複数の発光装置70を含むマトリクス11は複数行14の第1のコンタクトおよび複数コラム13の第2のコンタクトに編成される。ロー/コラムデコードスイッチ15、12は各々ある数の個々のロー/コラム14、13にかつある数のロー/コラムアドレス線B0~B1、A0~A1に結合されアドレスされた1つを選択し、かつ個々のロー/コラムデータリードR0~R35、C0~C59に結合されてロー/コラムデコードスイッチ15、12を選択する。プログラマブル電源54はコラムデータリードC0~C59によってコラムデコードスイッチ12に結合されかつプログラマブル電流シンク64はローデータリードR0~R35によってローデコードスイッチ15に結合される。



【特許請求の範囲】

【請求項1】 発光装置のマトリクスおよび駆動装置であって、

各々第1のコンタクトおよび第2のコンタクトを有する複数の発光装置(70)を含むマトリクス(11)であって、前記第1のコンタクトは前記第1のコンタクトの複数のロー(14)へと編成されかつ前記第2のコンタクトは前記第2のコンタクトの複数のコラム(13)へと編成されているもの、

複数のローデコードスイッチ(15)であって、各々のローデコードスイッチ(15)は前記複数のロー(14)の第1のコンタクトの内のある数の個々のロー(14)に結合されているもの、

複数のローアドレス線(B0~B1)であって、各々前記複数のローデコードスイッチ(15)の各々に結合され前記複数のローデコードスイッチ(15)の各々に結合された前記数の個々のロー(14)の内のアドレスされた1つを選択するもの、

複数のローデータリード(R0~R35)であって、各々1つの関連するローデータリードが各々1つのローデコードスイッチ(15)に結合され活性化信号が関連するローデータリード(R0~R34)に供給されたときにローデコードスイッチ(15)を選択するもの、

複数のコラムデコードスイッチ(12)であって、各々のコラムデコードスイッチ(12)は前記複数のコラム(13)の第2のコンタクトの内のある数の個々のコラム(13)に結合された電流伝達端子を有するもの、各々前記複数のコラムデコードスイッチ(12)に結合されて前記複数のコラムデコードスイッチ(12)の各々に結合された前記数の個々のコラム(13)の内のアドレスされた1つを選択する複数のコラムアドレス線(A0~A1)、そして複数のコラムデータリード(C0~C59)であって、各々1つの関連するコラムデータリードが前記コラムデコードスイッチ(12)の各々の1つに結合され活性化信号が関連するコラムデータリード(C0~C59)に供給されたときにコラムデコードスイッチ(12)を選択するもの、

を具備することを特徴とする発光装置のマトリクスおよび駆動装置。

【請求項2】 発光装置のマトリクスおよび駆動装置であって、

基板(10)、

前記基板(10)上に配置されかつ複数の発光装置(70)を含むマトリクス(11)であって、各々の発光装置(70)は第1のコンタクトおよび第2のコンタクトを有し、前記第1のコンタクトは複数のロー(14)の第1のコンタクトに編成されかつ前記第2のコンタクトは複数のコラム(13)の第2のコンタクトに編成されているもの、

前記基板(10)上に配置された複数のローデコードス

イッチ(15)であって、各々のローデコードスイッチ(15)は前記第1のコンタクトの複数のロー(14)の内のある数の個々のロー(14)に結合された電流伝達端子を有するもの、

前記基板(10)上に規定されかつ各々前記複数のローデコードスイッチ(15)の各々に結合されて前記複数のローデコードスイッチ(15)の各々に結合された前記数の個々のロー(14)の内のアドレスされた1つを選択するための複数のローアドレス線(B0~B1)、前記基板上に規定された複数のローデータリード(R0~R35)であって、各々1つの関連するローデータリード(R0~R35)は前記ローデコードスイッチ(15)の各々1つに結合され活性化信号が関連するローデータリード(R0~R35)に供給されたときにローデコードスイッチ(15)を選択するもの、

前記基板(10)上に配置された複数のコラムデコードスイッチ(12)であって、各々のコラムデコードスイッチ(12)は前記第2のコンタクトの前記複数のコラム(13)の内のある数の個々のコラム(13)に結合された電流伝達端子を有するもの、

前記基板(10)上に規定されかつ各々前記複数のコラムデコードスイッチ(12)に結合され前記複数のコラムデコードスイッチ(12)の各々に結合された前記数の個々のコラム(13)の内のアドレスされた1つを選択するための複数のコラムアドレス線(A0~A1)、そして前記基板上に規定された複数のコラムデータリード(C0~C59)であって、各々1つの関連するコラムデータリード(C0~C59)は前記コラムデコードスイッチ(12)の各々1つに結合され活性化信号が関連するコラムデータリード(C0~C59)に供給されたときコラムデコードスイッチ(12)を選択するもの、

を具備することを特徴とする発光装置のマトリクスおよび駆動装置。

【請求項3】 発光装置のマトリクスをアドレスする方法であって、

複数の発光装置(70)を含むマトリクス(11)を提供する段階であって、各々の発光装置(70)は第1のコンタクトおよび第2のコンタクトを有し、前記第1のコンタクトは複数のロー(14)の第1のコンタクトに編成されかつ前記第2のコンタクトは複数のコラム(13)の第2のコンタクトに編成されているもの、複数のローデコードスイッチ(15)を提供する段階であって、各々のローデコードスイッチはR0~Rnのリードの内の1つに結合されて活性化信号が前記R0~Rnのリードの1つに供給されたとき前記結合されたローデコードスイッチ(15)を選択し、前記複数のローデコードスイッチ(15)の各々はさらに第1のコンタクトの内の少なくとも4つのロー(14)に結合されており、この場合nは0より大きな任意の整数であるもの、

3

少なくとも B_0 , $*B_0$, B_1 および $*B_1$ のローアドレス線を提供する段階であって、この場合 B_0 および $*B_0$ は相補信号であり、かつ B_1 および $*B_1$ は相補信号であり各々前記複数のローデコードスイッチ(15)の各々に結合されて前記複数のローデコードスイッチ(15)の各々に結合された前記4つの個々のロー(14)の内のアドレスされた1つを選択するもの、複数のコラムデコードスイッチ(12)を提供する段階であって、該複数のコラムデコードスイッチ(12)の各々は前記 $C_0 \sim C_m$ のリードの内の1つに結合され活性化信号が前記 $C_0 \sim C_m$ のリードの1つに供給されたとき前記結合されたコラムデコードスイッチ(12)を選択し、前記複数のコラムデコードスイッチ(12)の各々はさらに第2のコンタクトの少なくとも4つのコラム(13)に結合されており、この場合 m はゼロより大きい任意の整数であるもの、少なくとも A_0 , $*A_0$, A_1 , $*A_1$ のコラムアドレス線を提供する段階であって、 A_0 および $*A_0$ は相補信号でありかつ A_1 および $*A_1$ は相補信号であり、各々前記複数のコラムデコードスイッチ(12)の各々に結合されて前記複数のコラムデコードスイッチ(12)の各々に結合された前記4つのコラム(13)の内のアドレスされた1つを選択するもの、そして $R_0 \sim R_n$ のリードの内の1つおよび B_0 , $*B_0$, B_1 および $*B_1$ のローアドレス線の組合わせを選択しかつ $C_0 \sim C_n$ のリードの1つおよび A_0 , $*A_0$, A_1 , $*A_1$ のコラムアドレス線の組合わせを選択することにより前記マトリクス(11)の特定の発光装置(70)をアドレスする段階、を具備することを特徴とする発光装置のマトリクスをアドレスする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的には、表示装置に関し、かつより特定的には、表示装置を動作させるための新規な駆動装置に関する。

【0002】さらに詳細には、この発明は発光デバイスまたは発光装置(LED)アレイに関し、かつより特定的にはLEDアレイとともに集積されたモノリシック駆動装置に関する。

【0003】

【従来の技術】マトリクスアドレッシング技術は技術的によく知られておりかつ発光ダイオード表示装置、液晶デバイス(LCD)表示装置、および電界放出装置(FED)表示装置のような種々の形式の表示装置を制御するために使用されてきている。マトリクスアドレッシング機構は典型的には発光エレメントまたは画素を数多くの行またはローおよび列またはコラムに編成し、各画素は特定の行および特定の列の交差部に配置される。画素を点灯するためには交差する行および列を作動または活性化

4

させることにより、点灯されるべき画素を含む閉じられた電流経路を提供することが必要である。

【0004】複数の画素を備えた行および列を有するLEDマトリクス表示装置をドライブするための回路は、ある数のビット幅を有するメモリを含み、ビットの数は画素の数に等しく、さらに前記回路はマトリクス表示装置に並列に前記数のビットを供給するためのコラム出力を備え前記マトリクス表示装置は該コラム出力に接続され、そして前記回路はさらに前記メモリにかつ前記コラム出力部に接続されて前記メモリに記憶されたデータの行全体のビットを選択しかつ該行全体のビットを前記コラム出力に提供するロー選択およびドライバ回路を含んでいる。前記ドライバ回路のためのメモリは例えばこれらに限定されるものではないがROM, PROM, EPROM, EEPROM, RAM, その他を含む市場で入手可能な任意の電子メモリである。

【0005】イメージ情報は全般的にデータ入力によってLEDドライバ回路メモリへと供給されかつ前記アドレス入力に供給されるアドレスによって所定のロケーションに記憶される。記憶されたデータはラッチ/コラムドライバによって1度に1行全体がLED表示装置に供給される。前記ローにおける各コラムに対するデータの各ビットがメモリにおいてアクセスされかつラッチ回路に転送される。現在のデータが次にコラムドライバに供給されて前記ローの各画素を同時にドライブする。同時に、シフトレジスタがクロック部からパルスが受信されるたびごとに新しいローのデータを順次選択している。新しく選択されたローの画素がロードドライバによって作動され、それによってラッチ/コラムドライバによって同じ画素に供給されるデータが画素に対し必要な量の光を放出させる。

【0006】適切なローを活性化し(energize)かつデータを適切なコラムに転送するために2つの手法がある。1つの手法はデコーダを使用し、一方他の手法はシフトレジスタを使用する。デコーダの手法を参照すると、各ローまたはコラムは個々にアドレスされる。アドレスを順次変えるために必要な回路は当業者によく理解されておりかつここでは簡略化のため説明しない。

【0007】前記シフトレジスタはマトリクス表示装置においてはローおよびコラムに対するランダムアクセスは一般に必要とされず、順次アドレスされるのみでよいという事実を利用する。シフトレジスタの手法の利点はそれが新しいローシーケンスを開始するためにクロックパルスを必要とするのみであることである。

【0008】また、LEDマトリクス表示装置は単純なモノクローム構成、モノクロームグレースケールを使用する表示装置、またはカラーとすることができるとも注目すべきである。単純なモノクローム表示装置に対しては、画素がオンまたはオフでよいから、各画素に対し

1ビットのデジタル信号が必要とされるのみである。モノクロームグレイスケールを使用する表示装置に対しては、アナログ信号または複数ビットのデジタル信号が必要とされる。例えば、16レベルのグレイスケールは4ビットのデジタル信号を必要とする。フルカラーは一般に画素ごとに少なくとも3つの発光素子を必要とし、基本色または原色(basic colors)(赤、緑および青)の各々に対し1個必要であり、かつ適切な量の各々の色を達成するためにある種のグレイスケール信号システムが必要である。

【0009】一般に、無色の(non-color)形式の表示装置(黒および白)においては、各画素は単一の発光装置を含んでおり、該発光装置は完全にオン(full on)(白)および完全にオフ(full off)(黒)の間である範囲のグレイ(グレイスケール)を達成するためにある範囲の値でドライブされなければならない。良好なグレイスケールを得るために、データドライバは一般に各画素に正確なアナログ電圧を伝達することができなければならない。しかしながら、アナログドライバ回路は非常に高価でありかつ、何百ものデータドライバ(発光装置の各ローに対し1個)がなければならないため、表示装置のコストの主要部分を占める。

【0010】さらに、フルカラー表示装置においては、各画素は少なくとも3つの発光装置を含み、それらの各々は異なる色(例えば、赤色、緑色および青色)を生成しかつそれらの各々は完全にオンと完全にオフとの間のその特定の色の範囲を達成するために(一般に1度に1つのローが)ある範囲の値でドライブされなければならない。従って、フルカラー表示装置は3倍多くのアナログドライバを含み、これは表示装置の製造コストを少なくとも3倍にする。また、付加的なアナログドライバは付加的なスペースおよび電力を必要とし、これは、ページャ、セルラおよび通常の電話、無線機、データバンク、その他のような、携帯用電子装置においては問題となる可能性がある。

【0011】

【発明が解決しようとする課題】上に述べたように、LEDマトリクスのコラムおよびローはそれぞれ個々のコラムまたはローに対しドライバを必要としコラムドライバに対しては付加的なラッチ回路を必要とする。この構造は多数のI/O端子カウント数に大きく依存しかつ回路は負担が耐えがたいものとなりかつ超小型化の妨げとなる。

【0012】多数の発光素子または画素を備えた表示装置を携帯用の用途に適させる上での他の主たる問題は電力消費の点である。これは表示装置内の発光素子ならびにドライブ用電子回路に対する心配ごとである。典型的なマトリクスアドレス可能な表示装置においては、データは直列的に入力されかつ発光素子をドライブする回

路へとラッチされる。典型的には1つのロー(またはコラム)は表示装置が走査されるたびごとにほんの少しの部分の時間のみ点灯される。高い走査レートおよび関与する多数の画素のため、データをメモリ内へかつメモリ外へシフトする上で高いクロックレートが関与する。必要とされる高い走査レートおよび高いクロックレートは過剰な動的電力消費を生じる結果となる。

【0013】各々1つまたはそれ以上の発光装置を含む画素の2次元アレイまたはマトリクスを使用する表示装置は電子装置の分野においてかつ特に携帯用電子装置および通信装置において非常に普及しており、それは多量のデータおよび画像が非常に迅速にかつ事実上任意のロケーションに送信できるからである。これらのマトリクスに伴う1つの問題は該マトリクスの発光装置の各ロー(またはコラム)がビデオまたはデータドライバによって別個にアドレスされかつドライブされなければならないことである。

【0014】従って、より簡単にかつより少ないデータドライバを備えかつより少ないI/O端子を備えた表示装置、かつ特にカラー表示装置、を製造できることが有利であろう。

【0015】本発明の目的は、デジタルデータドライバを使用した発光装置の新規かつ改善されたドライブが行われるマトリクスを提供することにある。

【0016】本発明の他の目的は、より少ないデータドライバを使用した発光装置の新規かつ改善されたドライブが行われるマトリクスを提供することにある。

【0017】本発明のさらに他の目的は、同等の従来技術の表示装置よりも実質的により少ない電力を使用するマトリクス表示装置およびドライバ回路を提供することにある。

【0018】本発明のさらに他の目的は、LEDのモノリシックマトリクスのデコードスイッチにおける改善を可能にすることにある。

【0019】本発明のさらに他の目的は、より低価格であり、より小型であり、かつより製造が容易なLED表示装置を提供することにある。

【0020】本発明のさらに他の目的は、モノリシック集積アレイ中にコラムおよびロー選択のためのデコードスイッチを集積するLED表示装置を提供することにある。

【0021】本発明のさらに他の目的は、LEDマトリクスにおけるコラムおよびロー選択のための低減されたI/O端子カウント数を備えたLED表示装置を提供することにある。

【0022】

【課題を解決するための手段】簡単に言えば、本発明の好ましい実施形態にしたがって本発明の所望の目的を達成するため、複数の行またローの第1のコンタクトおよび列またはコラムの第2のコンタクトに編成された複数

の発光装置を含むマトリクスが提供される。ロー／コラムデコードスイッチは各々ある数の個々のロー／コラムにかつある数のロー／コラムアドレス線に結合されて前記数の個々のロー／コラムの内のアドレスされた1つを選択し、かつ個々のロー／コラムデータリードに結合されてロー／コラムデコードスイッチを選択する。

【0023】好ましい実施形態では、前記マトリクスおよびローおよびコラムスイッチは共通の基板上に集積される。また、プログラム可能な電源が前記コラムデータリードによって前記コラムデコードスイッチに結合されかつプログラム可能な電流シンク (current sink) がローデータリードによって前記ローデコードスイッチに結合される。

【0024】

【発明の実施の形態】本発明の前述のおよびさらに他のかつより特定の目的および利点は添付の図面と共に以下の好ましい実施形態の詳細な説明から当業者が容易に理解するであろう。

【0025】次に図面に移ると、同じ参照文字はいくつかの図にわたり対応する要素を示している。まず図1を参照すると、発光装置 (light emitting device: LED) アレイの集積回路10が示されている。集積回路10は240×144の画素と称される要素を含んでおり、各画素は独自のコラムまたは列およびローまたは行の電気的接続を有している。もちろん、集積回路10はこの説明の目的のために使用されるものでありかつ実際に多様なアレイをかつ特に異なる数のコラムおよびローおよび／または異なる形式の装置を含むことができる。

【0026】本発明のこの実施形態に示されるように、複数のコラムデコードスイッチ12は60のコラム信号、C₀～C₅₉、を構成している。入力信号C₀～C₅₉はデータ信号として示されており、かつ2対の相補入力信号A₀、*A₀、A₁および*A₁はアドレス信号として示されている。各コラムデコードスイッチ12は入力信号A₀、*A₀、A₁および*A₁を有し、かつC₀～C₅₉の内の1つがそこに印加されるものとして示されている。ここでは2つの信号およびそれらの相補信号のみが使用されており、それは一般に単一の回路が各信号およびその相補信号を発生することができるからであり、その結果さらなる回路およびチップ面積の節約が得られる。4つの個々の (すなわち、分離したかつ別個の) アレイ11のコラム13が各々のコラムデコードスイッチ12に結合され、それによって複数のコラムデコードスイッチ12が合計240個のアレイ11のコラム13に対し60×4をアドレスできることになる。コラムデコードスイッチ12はデコードスイッチとモノリシックに集積されたLEDアレイと共に使用するように提案され同時にチップのI/Oカウント数を低減する。コラム走査のために使用されるすべてのコラムデコード

スイッチはそれらに結合された共通のアドレス線A₀、*A₀、A₁および*A₁を有する。その結果、提案されたコラムデコードスイッチ12はコラムに関連するI/Oカウント数において大幅な低減を可能にする。コラム回路13をドライブするための低減された数の要素によって提供される改善は、特に、I/O端子の数およびアレイの電力消費の低減を含む。なお、ここで記号*は信号またはデータなどの論理的反転または補状態を示すものとし、図面中の上線に対応する。

10 【0027】アレイ11のコラム13をアドレスする手段は概略的に次のようになる。

<コラム選択>C₀=1にかつC₁～C₅₉をゼロにセットし、それによってコラム0、2、4または6を選択し、そしてA₀、*A₀、A₁または*A₁の異なる対に対しハイ信号を提供することにより (例えば、A₀、A₁; A₀、*A₁; *A₀、A₁; または*A₀、*A₁) 特定のコラム0、2、4または6を選択。C₀=0、C₁=1にかつC₂～C₅₉をゼロにセットし、それによってコラム1、3、5または7を選択し、かつハイ信号をA₀、*A₀、A₁または*A₁の異なる対に提供することにより特定のコラム1、3、5または7を選択。C₀およびC₁をゼロに、C₂=1にかつC₃～C₅₉をゼロにセットし、それによってコラム8、11、12または14を選択するなどである。

20 【0028】今や、このシーケンスはデータ入力、C₀～C₅₉、の活性化またはアクティベーションおよび、アドレス線A₀、*A₀、A₁および*A₁の活性化により4つの個別のコラム13の選択のために維持することができることが明らかであろう。コラムデコードスイッチ12は順次的な走査手段を提供する特性を有し前記低減された数のチップI/Oカウント数からアレイの電力消費をも低減する。

30 【0029】図1にはまた複数のローデコードスイッチ15が示されており、各々それらに結合された複数の入力データ線R₀～R₃₅の個々のデータ線を備えている (この実施形態では合計36のローデコードスイッチ15が示されている)。アレイ11の4つの個々の (すなわち、分離したかつ別個の) ロー14が各々のローデコードスイッチ15に結合されている。各々のローデコードスイッチ15はそこに結合された個々のデータ信号R₀～R₃₅によってかつローアドレスラインB₀、*B₀、B₁および*B₁によって作動または活性化される。

40 【0030】アレイ11のロー14をアドレスする手段は概略的に次のとおりである。

<ロー選択>R₀=1にかつR₁～R₃₅をゼロにセットし、それによってロー0、2、4または6が選択され、かつB₀、*B₀、B₁または*B₁の異なる対 (例えば、B₀、B₁; B₀、*B₁; *B₀、B₁; または*B₀、*B₁) にハイ信号を提供することによ

り特定のロー0, 2, 4, または6を選択する。R₀ = 0およびR₁ = 1にかつR₂ ~ R₃₅をゼロにセットし、それによって、ロー1, 3, 5または7が選択され、かつB₀, *B₀, B₁または*B₁の異なる対にハイ信号を提供することにより特定のロー1, 3, 5, または7を選択する。R₀およびR₁ = 0に、R₂ = 1に、そしてR₃ ~ R₃₅をゼロにセットし、それによってロー8, 10, 12または14が選択されるなどである。

【0031】プログラム可能な電源(図5を参照)はシリコンドライバ集積回路内に含まれかつ入力としてコラムデコード回路12に接続される。また、プログラム可能な電流シンク(図6を参照)は前記シリコンドライバ集積回路内に含まれかつロードドライバ15からの出力として接続される。プログラム可能な電源およびプログラム可能な電流シンクにより、デコードスイッチ12および15のために使用される装置の数が最小化できる。すべてのコラムデコードスイッチ12は共通のアドレス線を有する。その結果、プログラマブル電源からの入力電力に依存して1度にn/4(ここでnはコラムの合計数)より大きくないコラムデコード12によって、コラムが順次走査できる。すべてのローデコードスイッチ15は共通のアドレス線を有する。その結果、プログラマブル電流シンクからの入力電力に依存して1度にm/4(ここでmはローの合計数)より多くないローデコード14によって、ローは順次走査できる。電力消費はMESFETのリーク電流の代りにシリコンドライバ集積回路のリーク電流によって制限される。その結果、電力消費は伝統的なデコードスイッチによってLEDアレイ11から得られるものよりもずっと低い。本発明はこれによってアレイ11の各画素のLEDをアドレスするのに必要なI/O端子の数を低減しかつLED集積回路10の電力消費を大幅に低減する。

【0032】同じ基板上にLEDアレイ11と共に低電力コラムデコードスイッチ12およびローデコードスイッチ15をモノリシック集積することにより、電力消費の大幅な低減が可能になる。例えば、伝統的なデコードでは、上に述べた240×144のLEDアレイ11に対する電力消費は、本発明のLED集積回路10の36ミリワットに比較して、11ワットである。I/O端子の、384から104への(この特定の例において)、付加的な低減はデコードスイッチの集積のないLEDアレイに対して大幅な改善を示している。

【0033】次に図2に移ると、単一のコラムデコードスイッチ12_nがブロック図形式で示されている。デコードスイッチ12_nは適切なアドレス信号に応じてLEDアレイ11のコラム0~コラム3の内の1つに信号を出力するよう接続された複数のコラムデコード回路16, 17, 18および19を含んでいる。この図に関連して図3に示された真理値表30があり、この真理値表

30は図2の説明の際に参照する。真理値表30は各アドレス線A₀, *A₀, A₁, *A₁の信号レベルを示しており、これらはプログラマブル電源によって提供されるハイのデータ信号C_nによって選択されたコラムデコードスイッチ12_nと共に“1”または“0”として示されている。

【0034】真理値表30を参照すると、A₀および*A₀は相補信号でありかつA₁および*A₁は相補信号であり、従って該対の内の一方が論理ハイである場合は他方は論理ローのレベルである。なお、本明細書では論理的反転または補数を示すいわゆる上線の代わりに記号*を使用している。第1のロー31はコラム回路16の選択のために必要な論理信号を示しており、データ線C_nは論理ハイのレベルにあり、A₀およびA₁は論理ローのレベルかつ*A₀および*A₁は論理ハイのレベルにあることに注意を要する。次に真理値表30の第2のロー32を参照すると、コラム回路17の選択のために必要な論理信号を示しており、入力C_nは依然として論理ハイのレベルにあり、A₀および*A₁は論理ローのレベルでありかつ*A₀およびA₁は論理ハイのレベルである。真理値表30の第3のロー33では、コラム回路18の選択のために必要な論理信号が示されており、入力C_nは依然として論理ハイのレベルにあり、A₀および*A₁は論理ハイのレベルでありかつ*A₀およびA₁は論理ローのレベルである。最後に、真理値表30の第4のロー34においては、コラム回路19の選択に必要な論理信号が示されており、入力C_nは依然として論理ハイのレベルにあり、A₀およびA₁は論理ハイのレベルでありかつ*A₀および*A₁は論理ローのレベルである。従って、関連するデータ線C_nに論理ハイレベルの信号を加えることによりいずれのコラムデコードスイッチ12を選択することができ、かつアドレス信号A₀, *A₀, A₁および*A₁の適切な組み合わせを使用することにより選択されたデコードスイッチ12_nに結合された任意のコラムが選択できる。

【0035】図4は、前記真理値表30のコラム選択と同様の、ローデコードスイッチ15_nに対する選択論理の真理値表40を示す。特定のローデコードスイッチ15_nが論理ハイレベルの信号を関連するデータ入力R_nに供給することにより選択される。選択されたローデコードスイッチ15_n内で、4つのローの内の1つの選択はアドレス線B₀, *B₀, B₁および*B₁によって行われる。出力R₀はプログラマブル電流シンクにより電流シンクに電気的に接続されかつ、接続されたとき、回路論理において“1”で示される。真理値表40において“1”によって示される、ハイレベルにあるアドレス信号入力により、アドレス線からの入力の変化はデコードスイッチ15_nに結合されたローの内のどれが活性化されるかを決定する。図3の真理値表30に関して説明したように、真理値表40の4つのロー41~44は

前記特定のデコーダスイッチ15。に関連するアレイ10の4つのローの選択のために必要な論理を示す。

【0036】次に図5に移ると、デコーダスイッチ12の1つのコラム回路50が概略的に示されている。すぐ後により詳細に説明するように、各コラムデコーダスイッチ12は4つのコラム回路50を含んでいる。コラム回路50はプログラマブル電源54とアレイ11の特定のコラムとの間に直列に接続された2つの電界効果トランジスタ(FET)52および53を含む。この特定の実施形態では、プログラマブル電源54はデータ信号C₀として選択されたコラムデコーダスイッチ12の入力に接続される。この特定のコラム回路においては、アドレス線A₀はFET52のゲートに接続されている。FET52は、プログラマブル電源54によって提供される、5ボルトの電位を、論理ハイレベルがアドレス線A₀に存在する場合に、第2のFET53に結合する。FET52はアドレス信号A₀がローの論理レベルである場合はFET53に5ボルトの電位を結合しない。

【0037】アドレス線A₁は、該アドレス線A₁と直列に接続された、2つのレベルシフトダイオード55および56を介してFET53のゲートに接続されている。レベルシフトダイオード55および56はFET53のゲートドレインダイオードが順方向バイアスするのを防止するためFET53のゲートに電圧シフトを与える。MESFET回路と共に、レベルシフトダイオード55および56が使用されてMESFETのゲートが順方向バイアスにドライブされるのを防止する。図示のごとく、電界効果トランジスタ53はアドレス線A₁がハイレベルにある場合に導通しかつFET52からの5ボルトの電位を、端子57として示された、アレイ11の関連するコラムに結合する。アドレス線A₁上のローの論理レベルはFET28が導通するのを妨げる。

【0038】図6を参照すると、ロー回路60が概略的に示されており、該回路が4個で完全なローデコードスイッチを構成する。ロー回路60はアレイ11の関連するローと、前に述べたプログラマブル電源シンクである、電流シンク64との間に直列に接続された2つのFET62および63を含む。この特定の実施形態では、プログラマブル電源シンク64はデータ信号R_nとして選択されたローデコードスイッチ15の入力に結合されている。FET62はアドレス線B₀が論理ハイレベルの信号をゲートに印加したときアレイ11の関連するローをFET63に結合する。アドレス線B₁は電流シンク64への電気回路を完成させるためにFET63を作動させまたは活性化するため論理ハイレベルになければならない。電流シンク64はデータ線R_n(図6では端子として示されている)に印加される論理ハイレベルの信号としてFET63に電気的に結合される。電流シンク64はロー回路60を通して電流が流れることができるように電気的に接続されなければならない。アレイ1

1の関連するローから電流シンク64への導電性は電気回路を完成させ(少なくとも1つのコラム回路50が活性化されていると仮定して)、これは特定のアドレスされたLEDを発光させる。

【0039】次に図7を参照すると、LEDアレイ集積回路10が、その一部を除去して、概略的に示されている。集積回路10はLEDマトリクスアレイ11に複数のLEDを含む。一例として、特定のLED70の一方の端子が、観察の都合上破線で囲まれた、第1のコラムデコーダスイッチ12の(図5に個別に図示された)第1のコラム回路50に電気的に接続されている。LED70の第2の端子は、観察の都合上破線で囲まれた、ローデコーダスイッチ15における(図6に個別に図示された)第1のロー回路60に接続され、これはLEDアレイ11の複数のコラムおよびローを活性化するために使用される複数のコラムデコーダスイッチおよび複数のローデコーダスイッチの内の単一のものを例示している。この図は図2の4つのLEDの回路構成を示しており、1つのコラムデコーダスイッチがプログラマブル電源54をアドレスされたコラムに接続することにより4つのコラムを活性化させ、対応するローデコーダスイッチ15がアドレスされたローを4つのローデコーダスイッチ15から電流シンク62へと電気的に接続することにより回路を完成させる。コラム回路50は(ブロック72として示された)プログラマブル電源54内の回路またはスイッチにより、あるいは別の方法でプログラマブル電源54への回路を完成させることによりデータ線C₀上のプログラマブル電源54に接続される。同様に、ロー回路60は(ブロック74として示された)プログラマブル電流シンク64内の回路またはスイッチにより、あるいは他の方法で電流シンク64への回路を完成させることにより、データ線R₀上のプログラマブル電流シンク64へ接続される。

【0040】任意の所定の時間に供給される電力量としてプログラム可能である他に、プログラマブル電源54およびプログラマブル電流シンク64はまたはデータ線C₀~C₅₈上の入力信号の所定のプログラムを通してかつデータ線R₀~R₃₅上の入力信号の所定のプログラムを通して自動的に順序付ける(sequence)ようプログラムすることもできる。

【0041】図8には、同じ基板上への低電力デコードスイッチ82(単一のFETとして示されている)およびLEDアレイ83(単一のLEDとして示されている)のモノリシック集積を備えたエピタキシャルまたはエピ構造(epi-structure)80が示されている。LEDアレイ83は半絶縁(semi-insulated)ガリウムヒ素(gallium arsenide)基板84上に順次形成された複数のドーピングされたおよびドーピングされていないエピタキシャル層を含む。図示のごとく、前記エピタキシャル層はn

+GaAs層85、n-InGaP層86、n-AlInP層87、ドーピングされていないAlGaInP層88、ドーピングされていないAlInP層89、p-AlInP層90、ほぼ200オングストロームの厚さのp-InGaP層91、そしてほぼ500オングストロームの厚さのドーピングされていないGaAs層92を含み対応するスイッチ82と共に集積されたLEDアレイ83を形成する。また、画素のアイソレーションのために設けられる注入(implant)94、各画素の下側端子への電気的接続のための注入95、およびローアイソレーションのための注入96も示されている。コンタクト97および98によってアレイ83における各LEDへのメタライズ接続が提供されている。スイッチ82は装置アイソレーション注入100、ソースおよびドレイン接続注入102および104、およびソース、ゲートおよびドレイン端子のためのそれぞれのメタライズドコンタクト112, 113, および114を含んでいる。この種のアレイに関する付加的な情報は1995年9月26日に発行され、かつ本願と同じ譲受人に譲渡された「注入LEDアレイを製造する方法(Method of Fabrication of Implanted LED Array)」と題する米国特許第5,453,386号に見ることができる。また、集積技術に対しては、1996年1月9日に発行され、かつ本件出願と同じ譲受人に譲渡された「ダイオードデコーダを備えた電気-光学的集積回路(Electro-Optic Integrated Circuit With Diode Decoder)」と題する米国特許第5,483,085号を参照されたい。

【0042】修正されたエピ構造120が図9に示されており、該構造は同じ基板上にモノリシック集積回路としてLEDアレイ130と共に集積されたデコードスイッチ122を含んでいる。LEDアレイ130は図8のLEDアレイ83と同様のものである。デコードスイッチ122は図8のスイッチ82と同様のものであるが、例外として、装置の製造の間に、LEDアレイ130からFET122へ、付加的なエピタキシャル層をLEDアレイ130に加えることによって製造され、従ってp-ドーパントの外方拡散(outdiffusion)の問題がより少なくなっている。

【0043】

【発明の効果】従って、より簡単なかつより少ないデータドライバを備えたかつより少ないI/O端子を備えた表示装置かつ特にカラー表示装置の製造方法が開示された。また、デジタルデータドライバを使用した新規なかつ改善された発光装置のドライブマトリクスかつ、特に、より少ないデータドライバを使用する発光装置のマトリクスも開示された。さらに、従来技術の等価な表示装置よりも実質的に少ない電力を使用しかつ低価格であり、小型であり、かつ製造するのがより容易なマトリク

ス表示装置およびドライバ回路が開示されている。本発明はLEDマトリクスにおけるコラムおよびロー選択のために実質的に低減されたI/O端子を備えたモノリシック集積アレイにコラムおよびロー選択のためのデコードスイッチを集積するLED表示装置を提供する。もちろん、LED表示装置はコラムまたはローデコードスイッチのアセンブリの内の1つのみが設けられかつローまたはコラム(これらはもちろん相互交換可能である)デコードスイッチのアセンブリの他方のものを通常のハードワイヤ接続、何らかの形式のデコード、シフトレジスタ、その他で置き換えることもできる。

【0044】プログラマブル電源およびプログラマブル電流シンクにより、デコードスイッチのために使用される装置の数が最小化できる。MESFETのリーケージ電流の代わりにドライバのリーケージ電流によって電力消費が制限される。その結果、電力消費はプログラマブル電源またはプログラマブル電流シンクのないアレイから得られるものよりもずっと低くなる。

【0045】すべてのコラムデコードスイッチは共通のアドレス線を有している。その結果、コラムは順次走査できあるいはドライバからの入力電源に応じて1度にn/4として走査できこの場合nはコラムの数である。すべてのローデコードスイッチは共通のアドレス線を有している。その結果、ローは順次走査することができあるいはプログラマブル電流シンクの状態に応じて1度にm/4として走査できこの場合mはローの数である。MESFETのゲートが順方向バイアスにドライブされるのを防止するために使用されるレベルシフトダイオードはCMOSドライバに配置され、デコードスイッチの順次的な走査を可能にする。

【0046】本発明はLED画素をアクティベートまたは活性化するためのI/O端子の数を低減しかつLED集積回路の電力消費を大幅に低減する。同じ基板上にLEDアレイと共に低電力デコードスイッチをモノリシック集積することにより、電力の大幅な低減が得られる。例えば、伝統的なデコーダでは、240×144のLEDアレイに対して消費される電力は本発明のデコーダスイッチLEDアレイに対する36ミリワットと比較して11ワットである。I/O端子の、384から104への、付加的な低減はデコードスイッチの集積のないアレイに対し大幅な改善となる。

【0047】説明の目的で本明細書で選択された実施形態に対し種々の修正および変更を行うことができることは当業者に明らかであろう。例えば、前記集積回路は任意の都合のよい半導体材料系であるいは任意の都合のよい有機系で形成できる。また、前記LEDアレイおよびスイッチは上に述べた機能を達成しながら種々の方法で形成できる。さらに、種々の異なる発光装置を使用することができかつ種々の幾らか変更されたおよび/または相互交換された工程で製造できる。

15

【0048】以上の説明は実例によってのみ与えられている。当業者には添付の特許請求の範囲で規定される本発明の範囲から離れることなく他の修正および変更をなすことができる。

【0049】本発明およびその好ましい実施形態について当業者が理解しかつ実施できるように明瞭かつ簡潔な用語で完全に説明しかつ開示されている。本発明の範囲は特許請求の範囲に示されるとおりである。

【図面の簡単な説明】

【図1】本発明に係わるドライブ回路を備えたモノリシッック発光装置（LED）アレイを示す単純化したブロック図である。

【図2】複数のLEDアレイコラムデコードスイッチを示す単純化したブロック図である。

【図3】図2に示されるLEDアレイコラムデコードスイッチのための真理値表を示す説明図である。

【図4】LEDアレイローデコードスイッチに対する真理値表を示す説明図である。

【図5】図2にブロック形式で示された複数のコラムデコードスイッチの内の単一のコラムデコードスイッチ回路を示す回路図である。

【図6】LEDアレイローデコードスイッチ回路を示す回路図である。

【図7】図1のドライブ回路を備えたモノリシッック発光装置（LED）アレイを示す回路図である。

16

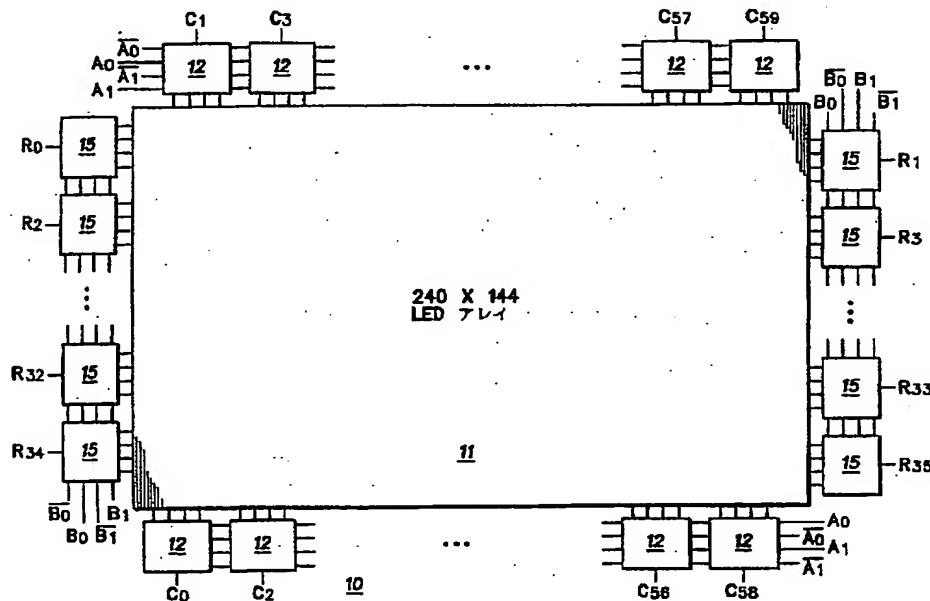
【図8】コラムまたはローデコードスイッチのためのエビ構造の一実施形態を示す単純化した断面図である。

【図9】コラムまたはローデコードスイッチのためのエビ構造の他の実施形態を示す単純化した断面図である。

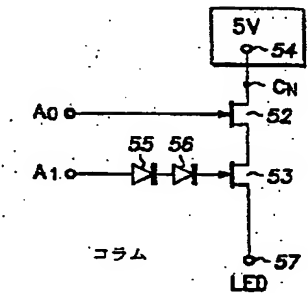
【符号の説明】

- 10 発光装置（LED）アレイ集積回路
- 11 アレイ
- 12 コラムデコードスイッチ
- 13 コラムまたはコラム回路
- 14 ロー
- 15 ローデコードスイッチ
- 16, 17, 18, 19 コラムデコード回路
- 50 コラム回路
- 52, 53 FET
- 54 プログラマブル電源
- 55, 56 レベルシフトダイオード
- 57 端子
- 60 ロー回路
- 62, 63 FET
- 64 プログラマブル電流シンク
- C₀, C₁, ..., C₅₉ コラム信号
- A₀, *A₀, A₁, *A₁ アドレス信号
- B₀, *B₀, B₁, *B₁ ローアドレス線
- R₀, R₁, ..., R₃₅ 入力データ線

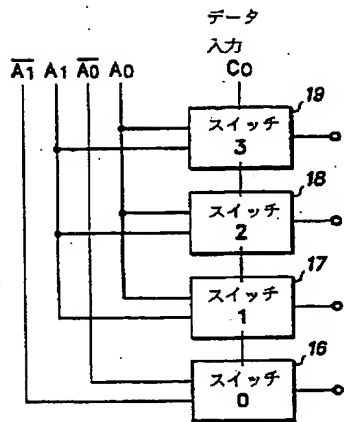
【図1】



【図5】



【図2】



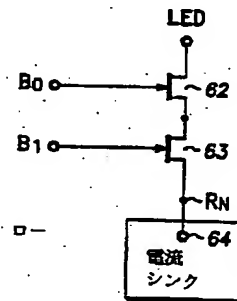
【図3】

CN	A0	$\overline{A0}$	A1	$\overline{A1}$	選択 コラム	
1	0	1	0	1	0	31
1	0	1	1	0	1	32
1	1	0	0	1	2	33
1	1	0	1	0	3	34

【図4】

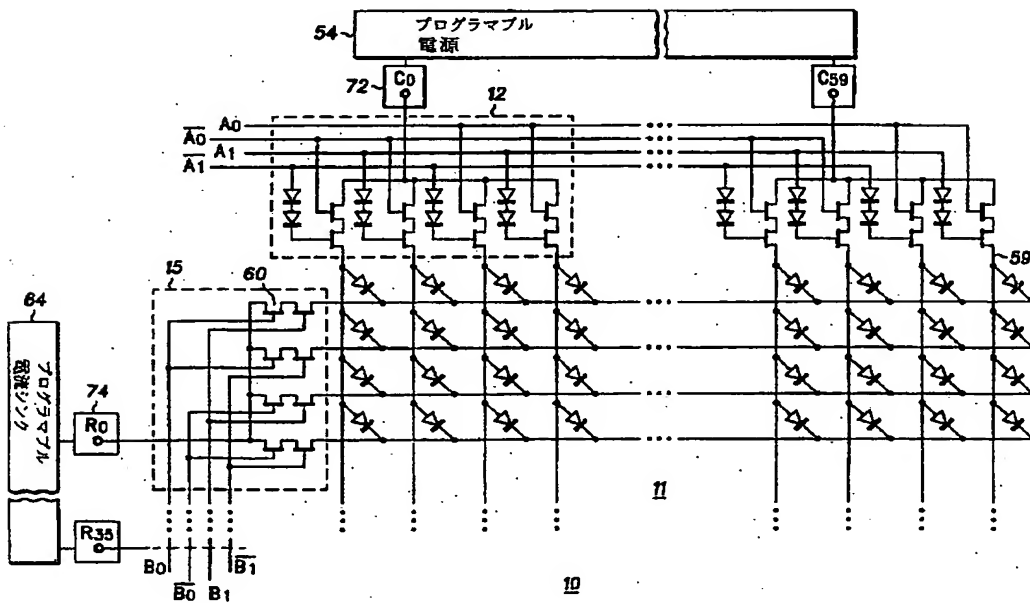
RN	B0	$\overline{B0}$	B1	$\overline{B1}$	選択 ロー	
1	0	1	0	1	0	41
1	0	1	1	0	1	42
1	1	0	0	1	2	43
1	1	0	1	0	3	44

【図6】

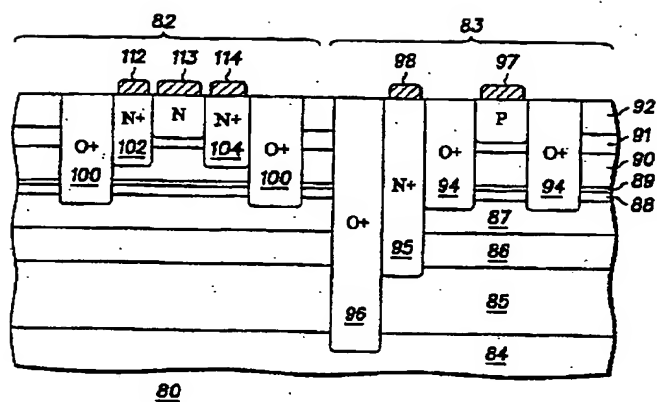


40

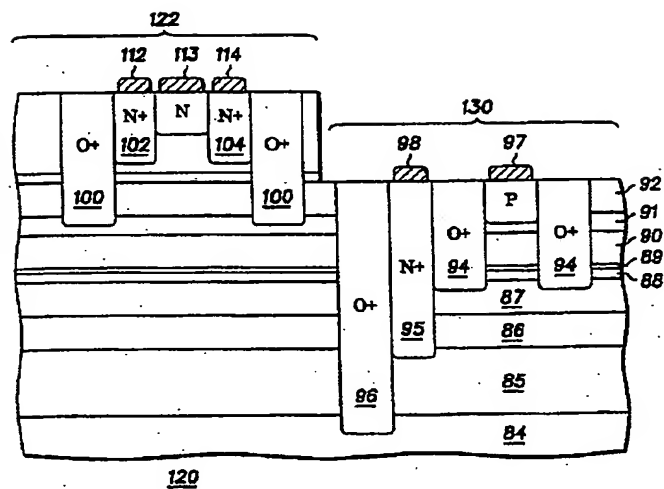
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 フィル・ライト
アメリカ合衆国アリゾナ州85260、スコッ
ツデイル、イースト・ユッカ・ストリート
9528

(72)発明者 エリック・ディー・ジョセフ
アメリカ合衆国アリゾナ州85226、チャン
ドラー、ウエスト・リンダ・レーン 5332

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.